

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-242331  
 (43)Date of publication of application : 07.09.2001

(51)Int.Cl. G02B 6/122  
 G02B 6/42  
 H01L 31/0232

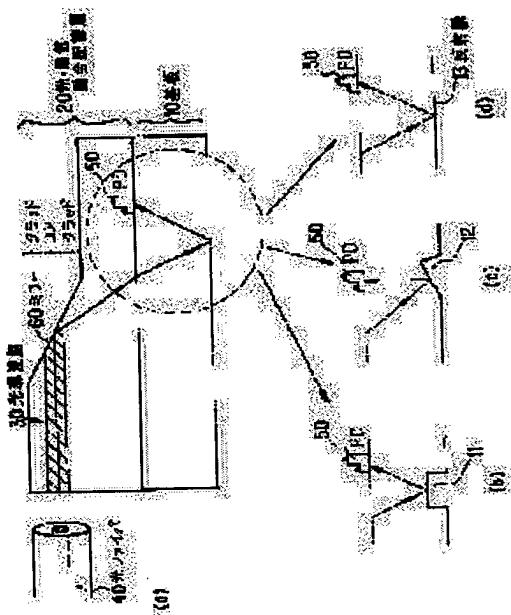
(21)Application number : 2000-055573 (71)Applicant : NIPPON TELEGR & TELEPH CORP  
 <NTT>  
 (22)Date of filing : 01.03.2000 (72)Inventor : ARATAKE ATSUSHI  
 TAMECHIKA EMI  
 AKEYOSHI TOMOYUKI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a signal processing integrated circuit optical input/output structure in super-high speed optical communication.

**SOLUTION:** An optical wiring layer is formed monolithically on a tip surface or rear surface of a photo-electric harmonized/integrated circuit using a planar light receiving or light emitting element, and this signal processing integrated optical input/output structure is made an optical interface in the photo-electric harmonized/integrated circuit by giving an optical path conversion structure into this layer, and a beam is inputted/outputted to/from a tip end surface direction of the optical wiring layer out of a tip of an optical fiber, etc.



## LEGAL STATUS

[Date of request for examination] 21.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3568156

[Date of registration] 25.06.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**\* NOTICES \***

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The semiconductor device characterized by carrying the electric wiring layer handling a low-speed signal, and an optical wiring layer with the optical input-output structure handling a high speed signal on the substrate which made the optical device and the electron device.

[Claim 2] This optical wiring layer is a semiconductor device given in claim 1 term characterized by connecting with this optical device optically with an optical-path conversion means.

[Claim 3] This optical-path conversion means is a semiconductor device given in claim dyadic characterized by being a minute mirror with the flat-surface mold produced in this waveguide layer, or a condensing operation.

[Claim 4] It is the semiconductor device [claim 5] according to claim 1, 2, or 3 characterized by for this optical wiring layer having single mode optical waveguide, and this waveguide having branching. It is the semiconductor device according to claim 1, 2, 3, or 4 which this optical wiring layer has the high refractive-index difference waveguide or ridge mold waveguide of a single mode, and is characterized by this waveguide having a spot-size transducer in a connection part with external optical wiring.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] This invention relates to a semiconductor device. Especially, it is related with the signal-processing integrated-circuit light input-output structure in ultra high-speed optical communication.

#### [0002]

[Description of the Prior Art] Various researches with which this ultra high-speed high capacity communication was equipped are progressing under the situation that current and communication link basic system traffic are increasing explosively. In the signal-processing system integrated circuit using the present electric interface, it is said that signal processing of 40 Gb/s is a limitation. Rate-limiting [ of this ] is carried out by the I/O rate of the electrical signal of the package-sized integrated circuit, and it is studied as this approach of carrying out a problem solving that I/O according [ the high speed signal of 60 or more Gb/s ] to light and the low-speed signal not more than it output and input with an electrical signal.

[0003] What adopted as light and an electrofusion integrated circuit with the interface of both such light and electrical and electric equipment (OEIC) the two-dimensional photodiode in which high-speed operation is possible is realized, and actuation by 40 Gb/s is checked. However, since a light sensing portion is two-dimensional structure, it is a package as shown in drawing 2. This is introducing a collimator lens system (confocal system) from the rear face of a chip, and inputs light. However, a new connection method is searched for from the rise of the cost by difficulties, such as that it is a disadvantageous gestalt for mounting that the direction of electric wiring and the optical wiring direction are perpendicular, and alignment, etc.

#### [0004]

[Problem(s) to be Solved by the Invention] This invention aims at making it the gestalt whose efficient and simple connection with optical wiring besides chips, such as making it the gestalt in which the electric interface currently performed and adjustment were able to take an end face to [ of a semiconductor chip ] signal I/O, and an optical fiber, is attained [ of a semiconductor chip ] from a field in the optical interface which is performing signal I/O as a means for establishing the optical interface of light and an electrofusion integrated circuit.

#### [0005]

[Means for Solving the Problem] The semiconductor device concerning claim 1 of this invention which solves the above-mentioned technical problem is characterized by carrying the electric wiring layer handling a low-speed signal, and an optical wiring layer with the optical input-output structure handling a high speed signal on the substrate which made the optical device and the electron device. This optical wiring layer given in claim 1 term is characterized by connecting optically with this optical device the semiconductor device concerning claim 2 of this invention which solves the above-mentioned technical problem by the optical-path conversion means. The semiconductor device concerning claim 3 of this invention which solves the above-mentioned technical problem is characterized by this optical-path

conversion means given in claim dyadic being a minute mirror with the flat-surface mold produced in this waveguide layer, or a condensing operation. This optical wiring layer according to claim 1, 2, or 3 is characterized by for the semiconductor device concerning claim 4 of this invention which solves the above-mentioned technical problem having single mode optical waveguide, and this waveguide having branching. The semiconductor device concerning claim 5 of this invention which solves the above-mentioned technical problem has the high refractive-index difference waveguide or ridge mold waveguide of a single mode, and this optical wiring layer according to claim 1, 2, 3, or 4 is characterized by this waveguide having a spot-size transducer in a connection part with external optical wiring.

[0006]

[Embodiment of the Invention] [Example 1] The chip conceptual diagram which incorporated the optical wiring layer in the electric wiring layer on the front face of a chip is shown in drawing 1 as the 1st example of this invention. Drawing 1 (a) is a whole external view, and drawing (b) - (d) is the enlarged drawing of the lower part of a two-dimensional photodiode. This example takes up the InP system two-dimensional photodiode (PD) which is the possible photo detector of a ultra high-speed response as an example of an optical device. Since an electrode exists in the two-dimensional photodiode upper part, it is made to perform optical-path conversion so that the incidence of the signal light can be carried out from the lower part of a two-dimensional photodiode.

[0007] As shown in drawing 1, on the substrate 10 which made the optical device and the electron device, light and the electrofusion wiring layer 20 equipped with the electric wiring layer handling a low-speed signal and the optical wiring layer with the optical input-output structure handling a high speed signal are carried. While the two-dimensional photodiode 50 is mounted in light and the electrofusion wiring layer 20, the optical waveguide 30 of the structure whose core was pinched by the clad is formed, and the end of this optical waveguide 30 is connected with the external optical fiber 40. On the other hand, a mirror 60 is formed in the other end of optical waveguide 30, and the signal light inputted from the optical fiber 40 is drawn to near the two-dimensional photodiode 50, and reaches to the lower part of the two-dimensional photodiode 50 by optical-path conversion by the mirror 60.

[0008] Here, it uses that a semi-conductor is a high refractive index, and incidence is carried out to the two-dimensional photodiode 50 by reflection of the interface of the substrate 10 and air in a chip rear face, or reflection by the metal membrane. As shown in drawing 1 (b), when heat dissipation of an integrated circuit is required, the tooth space 11 for Ayr is secured in the chip rear face as the light reflex section by contacting a rear face to a case. Moreover, if etching 12 using the crystal face is performed as shown in drawing 1 (c), it is also possible to adjust whenever [ incident angle / of light ]. Furthermore, it is also possible to draw light by forming the reflective film 13 represented by the metal thin film like drawing 1 (d). Especially, since generation of heat by the electronic circuitry can be considered in light and an electrofusion integrated circuit, the structure shown in drawing 1 (b) is effective.

[0009] The conceptual diagram of a chip with the optical branching function in which 3dB coupler 31 was carried is shown in drawing 3 using two high refractive-index difference single mode optical waveguides 30a and 30b. If the signal from an optical fiber 40 is led to one single mode optical waveguide 30a, it can dichotomize with 3dB coupler 31. The single mode optical waveguides 30a and 30b are the waveguide of a high refractive-index difference so that there may be no loss by minute bending which is settled in a chip. Since a refractive-index difference with air can be used in the case of ridge mold waveguide, still smaller bending structure becomes possible. In the case of such single mode optical waveguide of a high refractive-index difference, the mode field radius (spot size: SS) of waveguide becomes small compared with it of an optical fiber, but connection effectiveness and a tolerance can be raised by forming the spot-size converter 32 in a connection part.

[0010] Here, although 3dB coupler 32 was taken up as a component produced to an optical wiring layer, the passive component called the beam splitter and filter can also be carried, and its function and class are not limited especially. Although the production process using this ingredient is naturally possible as an ingredient of optical waveguides 30, 30a, and 30b since the organic material (polymer) of an insulator layer is used for an electric wiring layer, the waveguide layer produced at another process can also be made to unify after IC process termination by using a lamination technique. In this case, especially a

waveguide ingredient does not restrict a semi-conductor, a textile-glass-yarn ingredient, etc. to a polymer. Moreover, if a transparent electrode like ITO (Indium Tin Oxide) is used as an electrode of the two-dimensional photodiode 50, the direct I/O from a chip top face as shown in drawing 4 (a) and (b) is possible. The thing and drawing 4 (b) in which drawing 4 (a) reflects incident light by the mirror 60 of the upper part of the two-dimensional photodiode 50 produce a vertical core even to the two-dimensional photodiode 50, and carry out the guided wave even of the two-dimensional photodiode 50.

[0011] [Example 2] The chip conceptual diagram which produced the optical wiring layer at the chip rear face is shown in drawing 5 as the 2nd example of this invention. As shown in drawing 5, while the electric wiring layer 70 which the two-dimensional photodiode 50, FET, etc. are carried and treats a low-speed signal is carried in the top face of a substrate 10, the optical wiring layer 80 which optical waveguide 30 is formed and treats a high speed signal is carried in the inferior surface of tongue of a substrate 10. What is necessary is just to use a mirror 60 for optical-path conversion 45 degrees in this example, since it can differ in an example 1 and direct light can be led to the two-dimensional photodiode 50 from optical waveguide 30.

[0012] The include angle of a mirror 60 does not need to be limited with 45 degrees, and does not need to be a monotonous mold. For example, when the optical path from the optical waveguide 30 to the two-dimensional photodiode 50 is long, the light which carries out outgoing radiation from optical waveguide 30 diffuses, and it is possible that light-receiving effectiveness falls. Then, as shown in drawing 5 (b), it can consider as a minute mirror with a condensing operation by giving curvature to a mirror 60. When the heat dissipation from a rear face is required and the optical wiring layer 80 is produced at the rear face of a chip using an ingredient with low heat conductivity like a polymer as taken up also in the example 1, there is a possibility that this optical wiring layer 80 may serve as a failure of heat dissipation.

[0013] Then, as shown in drawing 6, it is possible to embed flush type light wiring layer 80a which consists of a core of optical waveguide 30, and a clad part of thickness required for optical propagation in a substrate 10. It is drawing where the whole perspective view looked at drawing 6 (a), and drawing 6 (b) looked at the A-A' line sectional view in drawing 6 (a), and drawing 6 (b) from the rear face. Thus, since a substrate 10 will not be extensively surrounded with an ingredient with low thermal conductivity also when ingredients with low thermal conductivity, such as a polymer, are used for a chip rear face as optical wiring layer 80a if flush type light wiring layer 80a is embedded in a substrate 10, the problem of heat dissipation is solvable. Moreover, when the device section 90 and the light sensing portion field 100 generating heat can be separated like drawing 7, step 120 for heat dissipation can also be produced at the rear face of a chip. Moreover, like drawing 8, step 120 is produced to a case 110 and there is the approach of gathering the heat dissipation effectiveness from a substrate 10.

[0014] It is also possible to perform an optical input to each two-dimensional photodiode 50 like drawing 9 (a) to two or more two-dimensional photodiodes, respectively, and it is also possible even for a two-dimensional photodiode 50 which is different in 1 input light by giving passive functions, such as waveguide branching which was taken up also in the example 1, as shown in drawing 9 (b) to lead. It cannot be overemphasized that the cure against heat dissipation explained by drawing 7 and drawing 8 also by these cases can be taken. Moreover, as shown in drawing 10, it becomes possible to connect to the light and the electrofusion integrated circuit 160 in a package 150 the light and the electrofusion connector 140 which unified the electrical signal line 130 which is an electric interface, and the optical fiber 40 which is an optical interface, and simple, cheap, and mounting made space-saving can be performed as it is possible.

[0015] In addition, by this invention, an optical wiring layer is produced at a monolithic at the chip front face or rear face of light and an electrofusion integrated circuit which used two-dimensional light-receiving - or a light emitting device, by giving optical-path conversion structure in this layer, it considers as the optical interface in light and an electrofusion integrated circuit, and I/O is performed from a chip end face with optical wiring besides chips, such as an optical fiber. For example, an optical fiber is compared, and connection by connection (butt-joint) is possible for it, and it does not need optical system special to the chip exterior.

[0016]

[Effect of the Invention] As mentioned above, as concretely explained based on the example, this invention is introducing optical wiring on a chip, and the optical input/output interface in light and an electrofusion integrated circuit is established. They are especially simple, cheap, and the thing that cultivates implementation of the light and the electrofusion integrated circuit used for ultra high-speed high capacity communication which enables mounting made space-saving and exceeds future 100 Gb/s.

---

[Translation done.]

**\* NOTICES \***

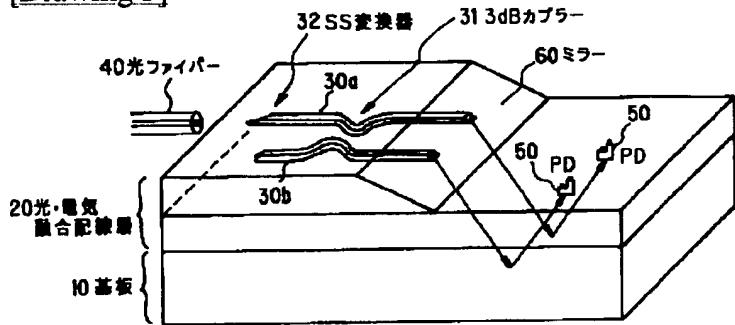
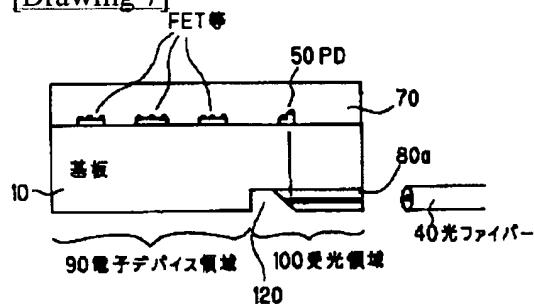
JPO and NCIPI are not responsible for any damages caused by the use of this translation.

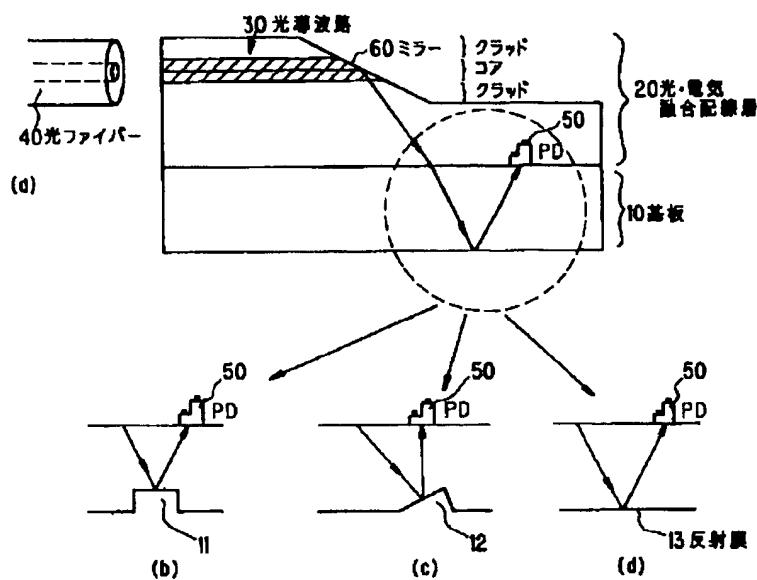
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

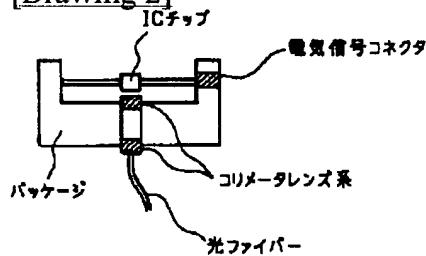
**DRAWINGS**

---

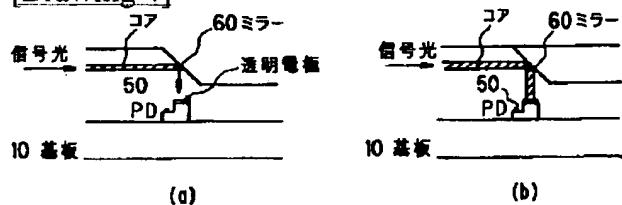
**[Drawing 3]****[Drawing 7]****[Drawing 1]**



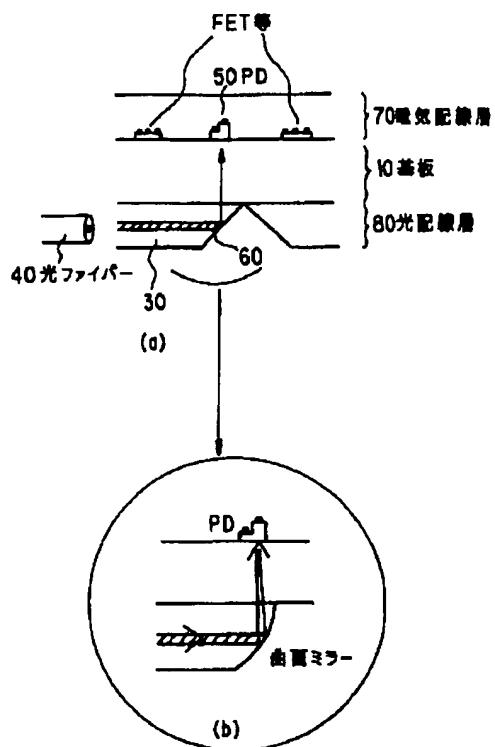
[Drawing 2]



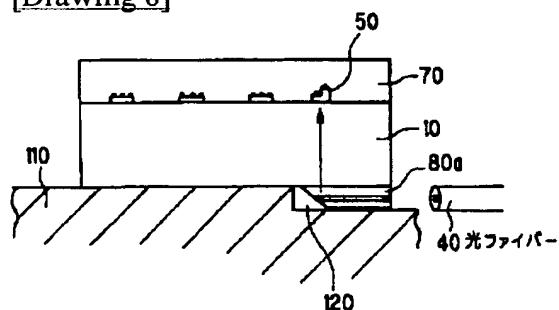
[Drawing 4]



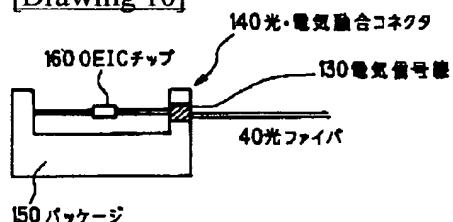
[Drawing 5]



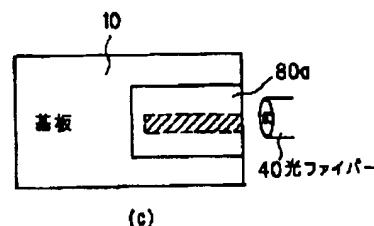
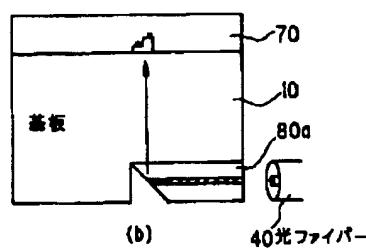
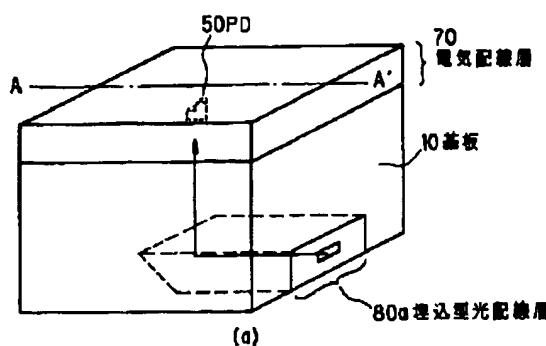
[Drawing 8]



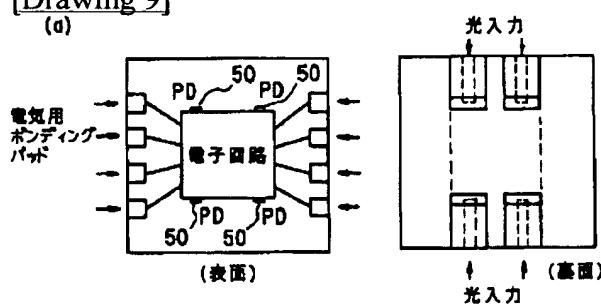
[Drawing 10]



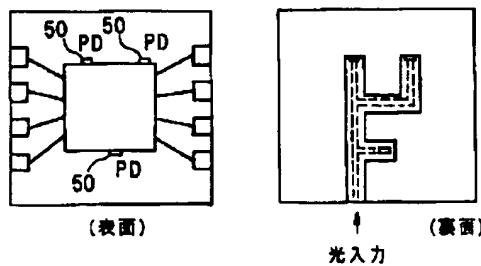
[Drawing 6]



[Drawing 9]



(b)



[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-242331

(P2001-242331A)

(43)公開日 平成13年9月7日(2001.9.7)

(51)Int.Cl.<sup>7</sup>

G 0 2 B 6/122

6/42

H 0 1 L 31/0232

識別記号

F I

テマコト(参考)

G 0 2 B 6/42

2 H 0 3 7

6/12

B 2 H 0 4 7

H 0 1 L 31/02

C 5 F 0 8 8

C

審査請求 未請求 請求項の数5 OL (全 6 頁)

(21)出願番号

特願2000-55573(P2000-55573)

(22)出願日

平成12年3月1日(2000.3.1)

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72)発明者 荒武 淳

東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

(72)発明者 為近 恵美

東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

(74)代理人 100078499

弁理士 光石 俊郎 (外2名)

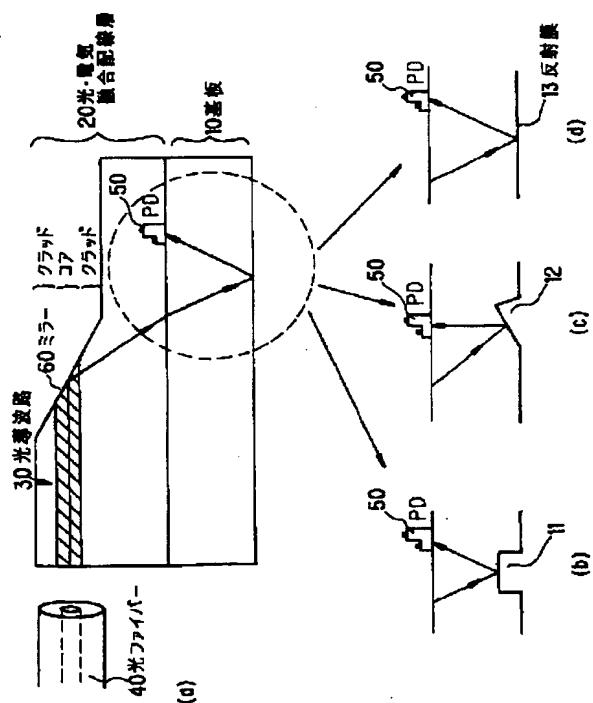
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 超高速光通信における信号処理集積回路光入出力構造を提供するものである。

【解決手段】 面型受光・若しくは発光素子を用いた光・電気融合集積回路のチップ表面若しくは裏面に光配線層をモノリシックに作製し、当層内に光路変換構造を持たせることで、光・電気融合集積回路における光インターフェースとしたものであり、光ファイバ等チップ外の光配線とは、チップ端面方向から入出力を行う。



(2)

1

**【特許請求の範囲】**

**【請求項1】** 光デバイスや電子デバイスを作り込んだ基板上に、低速信号を扱う電気配線層と、高速信号を扱う光入出力構造を持つ光配線層が搭載されたことを特徴とする半導体装置。

**【請求項2】** 該光配線層は、光路変換手段により該光デバイスと光学的に接続されたことを特徴とする請求項1項記載の半導体装置。

**【請求項3】** 該光路変換手段は、該導波路層に作製した平面型若しくは集光作用のある微小ミラーであることを特徴とする請求項2項記載の半導体装置。

**【請求項4】** 該光配線層は、シングルモード光導波路を有し、該導波路は分岐を有することを特徴とする請求項1，2又は3記載の半導体装置。

**【請求項5】** 該光配線層は、シングルモードの高屈折率差導波路若しくはリッジ型導波路を有し、該導波路は外部の光配線との接続部位にスポットサイズ変換部を持つことを特徴とする請求項1，2，3又は4記載の半導体装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、半導体装置に関する。特に、超高速光通信における信号処理集積回路光入出力構造に関するものである。

**【0002】**

**【従来の技術】** 現在、通信基幹系トラヒックが爆発的に増大している状況の下、きたる超高速大容量通信に備えた様々な研究が進んでいる。現在の電気インターフェースを用いた信号処理系集積回路においては、40Gb/sの信号処理が限界であると云われている。これはパッケージ化された集積回路の電気信号の入出力速度により律速されているものであり、この問題解決する方法として、60Gb/s以上の高速信号は光による入出力、それ以下の低速信号は電気信号で入出力を行うことが研究されている。

**【0003】** このような光・電気両方のインターフェースを持つ光・電気融合集積回路(OEIC)には、高速動作可能な面型フォトダイオードを採用したものが実現されており、40Gb/sでの動作が確認されている。しかし、受光部が面型構造であることから、図2に示すようなパッケージとなっている。これはチップの裏面からコリメーターレンズ系(共焦点系)を導入することで、光の入力を行うものである。しかし、電気配線方向と光配線方向が垂直であるという実装に不利な形態であること、アライメント等の困難さによるコストの上昇などから、新たな接続方法が求められている。

**【0004】**

**【発明が解決しようとする課題】** 本発明は、光・電気融合集積回路の光インターフェースを確立するための手段として、半導体チップの面方向から信号入出力を行ってい

2

る光インターフェースを、半導体チップの端面方向から信号入出を行っている電気インターフェースと整合のとれた形態にすること、光ファイバ等のチップ外の光配線との高効率で簡便な接続が可能となる形態にすることを目的とする。

**【0005】**

**【課題を解決するための手段】** 上記課題を解決する本発明の請求項1に係る半導体装置は、光デバイスや電子デバイスを作り込んだ基板上に、低速信号を扱う電気配線層と、高速信号を扱う光入出力構造を持つ光配線層が搭載されたことを特徴とする。

上記課題を解決する本発明の請求項2に係る半導体装置は、請求項1項記載の該光配線層が、光路変換手段により該光デバイスと光学的に接続されたことを特徴とする。上記課題を解決する本発明の請求項3に係る半導体装置は、請求項2項記載の該光路変換手段が、該導波路層に作製した平面型若しくは集光作用のある微小ミラーであることを特徴とする。上記課題を解決する本発明の請求項4に係る半導体装置は、請求項1，2又は3記載の該光配線層が、シングルモード光導波路を有し、該導波路は分岐を有することを特徴とする。

上記課題を解決する本発明の請求項5に係る半導体装置は、請求項1，2，3又は4記載の該光配線層が、シングルモードの高屈折率差導波路若しくはリッジ型導波路を有し、該導波路は外部の光配線との接続部位にスポットサイズ変換部を持つことを特徴とする。

**【0006】**

**【発明の実施の形態】** **【実施例1】** 本発明の第1の実施例として、チップ表面の電気配線層に光配線層を取り込んだチップ概念図を図1に示す。図1(a)は全体外観図であり、図(b)～(d)は、面型フォトダイオードの下部の拡大図である。本実施例は、超高速応答の可能な受光素子であるInP系面型フォトダイオード(PD)を光デバイス例として取り上げる。面型フォトダイオード上部には電極が存在するので、信号光を面型フォトダイオードの下部から入射できるよう光路変換を行うようにしたものである。

**【0007】** 図1に示すように、光デバイスや電子デバイスを作り込んだ基板10上には、低速信号を扱う電気配線層と高速信号を扱う光入出力構造を持つ光配線層を備えた光・電気融合配線層20が搭載されている。光・電気融合配線層20には、面型フォトダイオード50が実装されると共にクラッドでコアを挟んだ構造の光導波路30が形成され、この光導波路30の一端は外部の光ファイバ40と接続されている。一方、光導波路30の他端にはミラー60が形成され、光ファイバ40から入力された信号光は、面型フォトダイオード50の付近まで導かれ、ミラー60による光路変換により面型フォトダイオード50の下部まで到達する。

**【0008】** ここで、半導体が高屈折率であることを利用し、チップ裏面における基板10と空気との界面の反

(3)

3

射、若しくは金属膜による反射によって面型フォトダイオード50に入射させる。図1 (b) に示すように、裏面を筐体に接触させることで、集積回路の放熱が必要な場合、チップ裏面に光反射部としてエアーユーのスペース11を確保しておく。また、図1 (c) に示すように、結晶面を利用したエッティング12を行えば、光の入射角度を調整することも可能である。更に、図1 (d) のように、金属薄膜に代表される反射膜13を形成することで、光を導くことも可能である。特に、光・電気融合集積回路においては、電子回路による発熱が考えられるため、図1 (b) に示す構造が有効である。

【0009】二つの高屈折率差シングルモード光導波路30a, 30bを用いて、3dBカプラ31を搭載した光分岐機能を持ったチップの概念図を図3に示す。光ファイバ40からの信号を一方のシングルモード光導波路30aに導けば、3dBカプラ31で2分岐することができる。シングルモード光導波路30a, 30bは、チップ内に収まるような微小な曲げでの損失が無いよう、高屈折率差の導波路になっている。リッジ型導波路の場合、空気との屈折率差を利用してできるため、更に小さな曲げ構造が可能となる。このような高屈折率差のシングルモード光導波路の場合、導波路のモードフィールド半径(スポットサイズ: S)が光ファイバのそれと比べて小さくなるが、接続部位にスポットサイズ変換器32を設けることで、接続効率・トレランスを向上させることができる。

【0010】ここでは、光配線層に作製する素子として3dBカプラ32を取り上げたが、ビームスプリッタやフィルタと云つたパッシブ素子も搭載可能で、特にその機能・種類を限定するものではない。光導波路30, 30a, 30bの材料としては、電気配線層に絶縁膜の有機材料(ポリマー)を用いることから、同材料を用いた作製プロセスは当然可能だが、張り合わせ技術を使うことにより、別工程で作製した導波路層をICプロセス終了後に一体化させることもできる。この場合、導波路材料は半導体・ガラス系材料など、特にポリマーに限らない。また、面型フォトダイオード50の電極として、ITO(Indium Tin Oxide)のような透明電極を用いれば、図4 (a), (b) に示すようなチップ上面からの直接の入出力が可能である。図4 (a) は、面型フォトダイオード50の上部のミラー60で入射光を反射させるもの、図4 (b) は面型フォトダイオード50まで垂直方向のコアを作製し、面型フォトダイオード50まで導波させるものである。

【0011】【実施例2】本発明の第2の実施例として、チップ裏面に光配線層を作製したチップ概念図を図5に示す。図5に示すように、基板10の上面には、面型フォトダイオード50, FET等が搭載され低速信号を扱う電気配線層70が搭載される一方、基板10の下面には、光導波路30が形成され高速信号を扱う光配線

(4)

4

層80が搭載されている。本実施例では、実施例1とは異なり、面型フォトダイオード50に光導波路30から直接光を導くことができるので、光路変換には45度ミラー60を用いればよい。

【0012】ミラー60の角度は45度と限定されるものではなく、また、平板型である必要もない。例えば、光導波路30から面型フォトダイオード50までの光学距離が長い場合、光導波路30から出射する光が拡散し、受光効率が低下することが考えられる。そこで、図10 5 (b) に示すように、ミラー60に曲率を持たせることで、集光作用を持つ微小ミラーとすることができる。実施例1でも取り上げたように、裏面からの放熱が必要な場合、ポリマーのような熱伝導率の低い材料を用いてチップの裏面に光配線層80を作製すると、この光配線層80が放熱の障害となるおそれがある。

【0013】そこで、図6に示すように、光導波路30のコアと、光伝搬に必要な厚さのクラッド部分からなる埋込型光配線層80aを、基板10内に埋め込んでしまうことが考えられる。図6 (a) は全体斜視図、図6 (b) 20 は図6 (a) 中のA-A' 線断面図、図6 (b) は裏面から見た図である。このように、基板10内に埋込型光配線層80aを埋め込めば、チップ裏面に光配線層80aとしてポリマー等熱伝導率の低い材料を用いた場合にも、熱伝導率の低い材料で基板10が全面的に囲まれることがないので、放熱の問題を解消することができる。また、図7のように、発熱するデバイス部90と受光部領域100が分離できる場合、チップの裏面に放熱用のステップ120を作製することもできる。また、図8のように、筐体110にステップ120を作製し、30 基板10からの放熱効率を上げる方法がある。

【0014】複数個の面型フォトダイオードに対しては、図9 (a) のように各面型フォトダイオード50にそれぞれ光入力をを行うことも可能であるし、実施例1でも取り上げたような導波路分岐等パッシブ機能を持たせることで、図9 (b) に示すように、1入力光を異なる面型フォトダイオード50まで導くことも可能である。これらの場合でも図7、図8で説明した放熱対策を探ることはいうまでもない。また、図10に示すように、電気インターフェースである電気信号線130と光インターフェースである光ファイバ40とを一体化した光・電気融合コネクタ140をパッケージ150内の光・電気融合集積回路160に接続することが可能となり、簡便・安価且つ省スペース化された実装を可能とできる。

【0015】尚、本発明では、面型受光・若しくは発光素子を用いた光・電気融合集積回路のチップ表面若しくは裏面に光配線層をモノリシックに作製し、当層内に光路変換構造を持たせることで、光・電気融合集積回路における光インターフェースとしたものであり、光ファイバ等チップ外の光配線とは、チップ端面方向から入出力を行う。例えば、光ファイバとは突き合わせ接続(butt-j

(4)

5

oint)による接続が可能であり、チップ外部に特別な光学系を必要とするものではない。

## 【0016】

【発明の効果】以上、実施例に基づいて具体的に説明したように、本発明はチップ上に光配線を導入することで、光・電気融合集積回路における光出入力インターフェースを確立するものである。特に、簡便・安価且つ省スペース化された実装を可能とし、将来の100Gb/sを超えるような超高速大容量通信に使用される光・電気融合集積回路の実現を拓くものである。

## 【図面の簡単な説明】

【図1】図1(a)はICチップ表面に光配線層がある場合のチップ構造の説明図であり、図1(b)はミラー用エアースペースを確保した部分拡大図、図1(c)はミラー用エアースペースに反射角を制御する構造を持たせた部分拡大図、図1(d)はミラーとして、反射膜を形成した部分拡大図である。

【図2】従来の面型フォトダイオードパッケージの説明図である。

【図3】光配線層にパッシブ機能(カプラによる2分岐)を持たせた構造を示す斜視図である。

【図4】図4(a)は透明電極を用いて、上面反射光を面型フォトダイオードに入射する様子を示す概念図、図4(b)は透明電極を用いて、導波光を面型フォトダイオードに入射する様子を示す概念図である。

【図5】図5(a)はICチップ裏面に光配線層のある場合のチップ構造の説明図であり、図5(b)は光路変換ミラーに集光作用を持たせた構造図である。

【図6】図6(a)はICチップ裏面に埋め込み型の光配線層を作製した構造の鳥瞰図であり、図6(b)はA-A'の断面図、図6(c)はICチップを裏面から見た説明図である。

【図7】発熱部と受光部領域が分離できる場合のICチ

6

ップを端面方向から見た説明図である。

【図8】筐体側に放熱用ステップを作製した場合の概念図である。

【図9】図9(a)は複数個の面型フォトダイオードに対する光配線の概念図であり、図9(b)は複数個の面型フォトダイオードに対して、1入力の場合の光配線概念図である。

【図10】光・電気融合インターフェースの適用概念図である。

## 【符号の説明】

10 10 基板

11 11 スペース

12 12 エッチング

13 13 反射膜

20 20 光・電気融合配線層

30 30 光導波路

30a, 30b 30a, 30b シングルモード光導波路

31 31 3dBカプラ

32 32 スポットサイズ変換部

40 40 光ファイバ

50 50 面型フォトダイオード(PD)

60 60 ミラー

70 70 電気配線層

80 80 光配線層

80a 80a 埋込型光配線層

90 90 デバイス領域

100 100 受光領域

110 110 筐体

120 120 ステップ

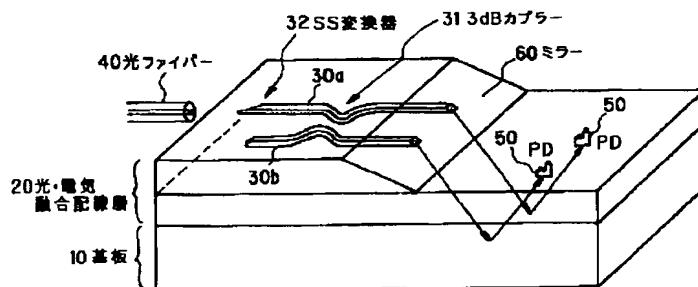
30 130 電気信号線

140 140 光・電気融合コネクタ

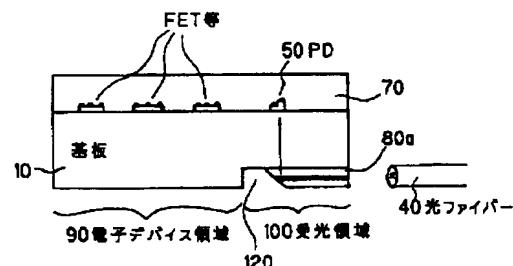
150 150 パッケージ

160 160 光・電気融合集積回路

【図3】

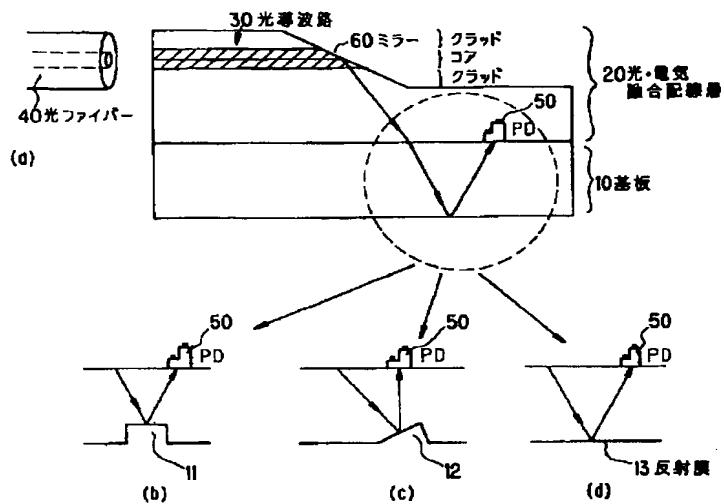


【図7】

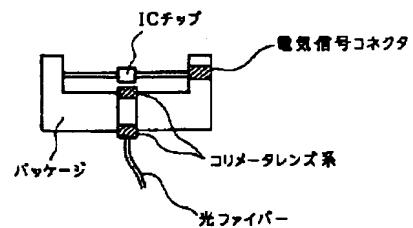


(5)

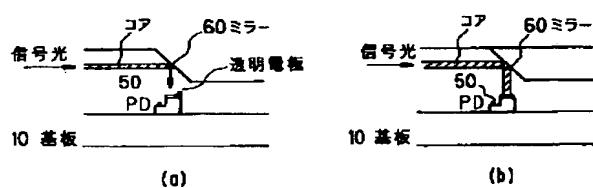
【図1】



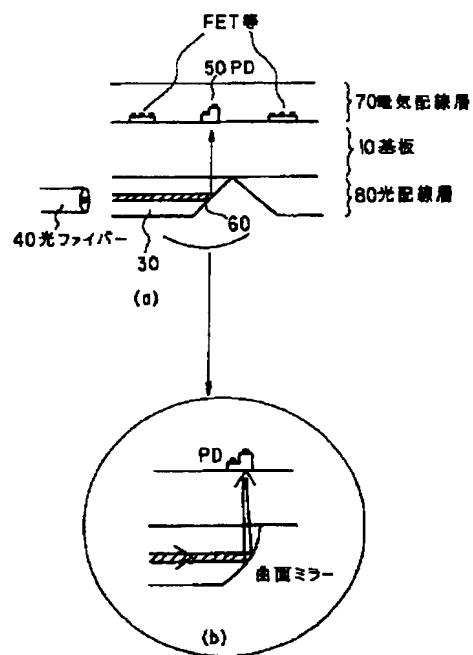
【図2】



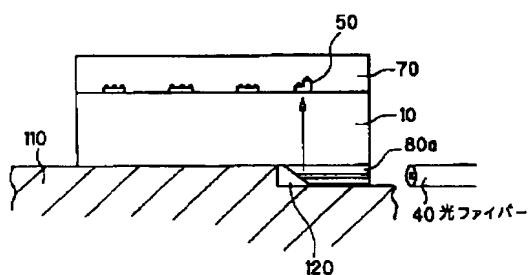
【図4】



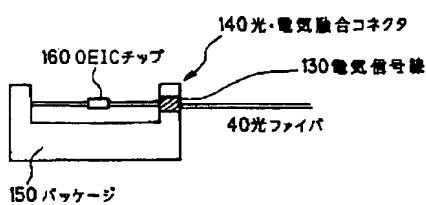
【図5】



【図8】

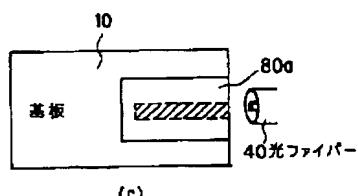
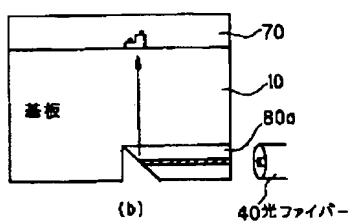
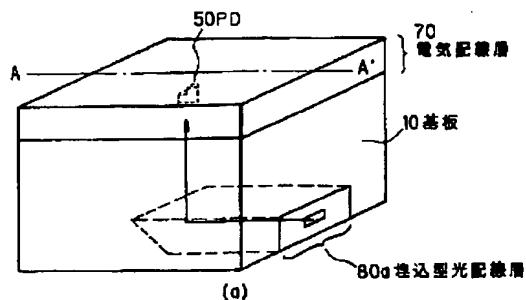


【図10】

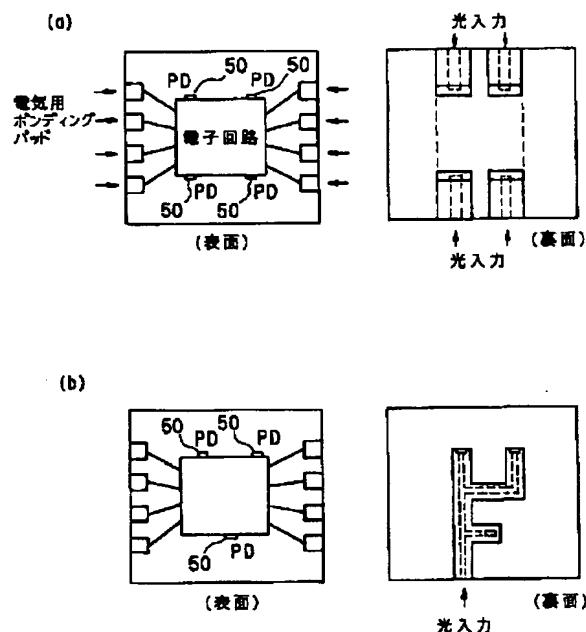


(6)

【図6】



【図9】



フロントページの続き

(72) 発明者 明吉 智幸  
東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

F ターム(参考) 2H037 AA01 BA11 BA24 CA34 CA37  
2H047 KA03 KA04 KA05 KB08 KB09  
MA05 MA07  
5F088 AA01 AB07 BA02 BA18 BB01  
FA04 JA13 JA14 JA20